

DISPLAY DEVICE AND DRIVING METHOD THEREOF

Publication number: JP9127910

Publication date: 1997-05-16

Inventor: KURIYAMA HIROHITO; TAJIMA MASAYA; UEDA TOSHIO; YAMAMOTO AKIRA; ISHIDA KATSUHIRO

Applicant: FUJITSU LTD

Classification:

- international: G09G3/28; G09G3/20; G09G5/00; G09G3/28;
G09G3/20; G09G5/00; (IPC1-7): G09G3/28

- European:

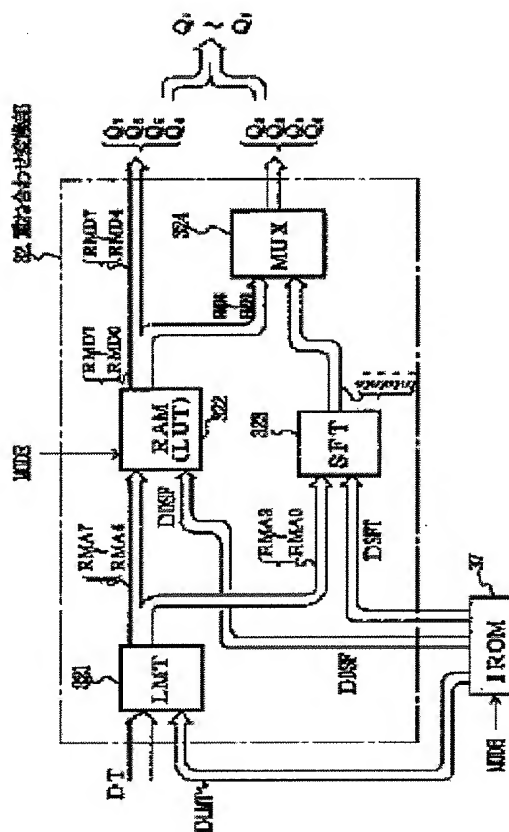
Application number: JP19950282972 19951031

Priority number(s): JP19950282972 19951031

Report a data error here

Abstract of JP9127910

PROBLEM TO BE SOLVED: To provide a flat panel display device having high picture quality by providing a conversion table section receiving part of the bit signals of the multi-gradation signal and outputting the superposition conversion output and a synthesis section synthesizing the remaining bit signals and the superposition conversion output signal and generating the sub-frame signal. **SOLUTION:** Data DT are fed to a conversion table section 322 constituting an LUT via a limit circuit 321. More significant six bits in the outputs RMA 7-RMA0 of the limit circuit 321 are effective, and more significant four bits RMA7-RMA4 among them are fed to the conversion table section 322. The effective more significant four bits among the converted outputs RMD7-RMD0 of the conversion section 322 are outputted as output data Q7-Q4. The less significant four bits RMD3-RMD0 are synthesized by a multiplexer circuit 324 to the outputs S3-S0 shifted with the less significant bits RMA4-RMA0 not subject to conversion by one bit in the less significant direction by a shift circuit 323.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-127910

(43)公開日 平成9年(1997)5月16日

(51) Int.Cl.⁶

G O 9 G 3/28

識別記号

庁内整理番号

4237-5H

FI

G 0 9 G 3/28

技術表示箇所

K

審査請求 未請求 請求項の数17 O.L (全 18 頁)

(21)出願番号 特願平7-282972

(22)出願日 平成7年(1995)10月31日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 栗山 博仁

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 田島 正也

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74) 代理人 弁理士 土井 健二

最終頁に続く

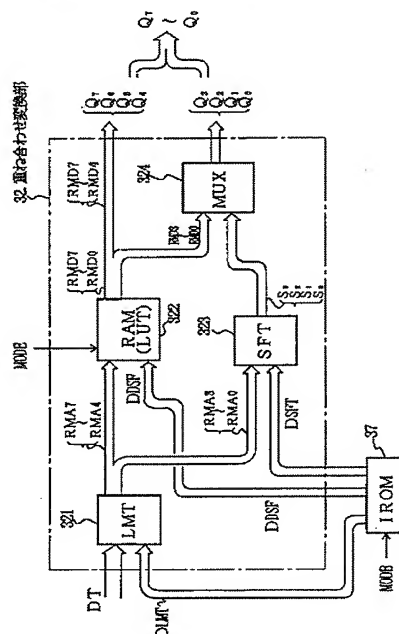
(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【要約】

【課題】PDP表示装置等の重ね合わせ変換のためのメモリの容量を少なくすることを目的とする。

【解決手段】階調の重みに応じて時分割した複数のサブフレームを多重して構成される１フレームにより多階調の表示を行なう表示装置において、異なる階調に対応する複数ビットの信号を有する多階調信号の一部のビット信号をアドレス信号として入力し、複数の前記サブフレームの所定の組み合わせに変換した重ね合わせ変換出力を出力する変換テーブル部と、前記多階調信号の残りのビット信号と前記重ね合わせ変換出力信号とを、階調に応じて合成し、１つのフレームを構成する複数のサブフレームの信号を生成する合成部と、該合成された複数のサブフレームの信号に基づいて、表示部に多階調の画像を表示する表示制御部とを有することを特徴とする表示装置。

重ね合わせ変換部の内部構造図



【特許請求の範囲】

【請求項1】階調の重みに応じて時分割した複数のサブフレームを多重して構成される1フレームにより多階調の表示を行なう表示装置において、異なる階調に対応する複数ビットの信号を有する多階調信号の一部のビット信号をアドレス信号として入力し、複数の前記サブフレームの所定の組み合わせに変換した重ね合わせ変換出力を出力する変換テーブル部と、前記多階調信号の残りのビット信号と前記重ね合わせ変換出力信号とを、階調に応じて合成し、1つのフレームを構成する複数のサブフレームの信号を生成する合成部と、該合成された複数のサブフレームの信号に基づいて、表示部に多階調の画像を表示する表示制御部とを有することを特徴とする表示装置。

【請求項2】請求項1において、前記の重ね合わせ変換出力は、同一の階調の重みを持つサブフレームを複数有することを特徴とする表示装置。

【請求項3】請求項1または2において、前記合成部は、前記変換テーブル部のアドレス信号のビット数より前記重ね合わせ変換出力のビット数が多い場合に、前記の多階調信号の残りのビット信号を所定ビット分シフトすることを特徴とする表示装置。

【請求項4】請求項1または2において、前記多階調信号のビット数に基づく第一の階調数よりも前記合成されたサブフレームの信号による第二の階調数が少ない場合に、当該多階調信号を前記第二の階調数より高くないようにするリミット回路を、前記変換テーブル部の前段に設けたことを特徴とする表示装置。

【請求項5】請求項1または2において、前記変換テーブル部は、複数モードの変換テーブルを有し、前記のアドレス信号に加えてモードを指定するモード信号を追加のアドレス信号として入力し、前記の表示制御部は画素の位置に応じてモード信号を供給することを特徴とする表示装置。

【請求項6】請求項1乃至5のいずれかにおいて、更に複数の変換テーブルのデータを記憶する初期化メモリを有し、該複数の変換テーブルのデータのうち少なくとも一つの該変換テーブルのデータが前記変換テーブル部のメモリに書き込まれることを特徴とする表示装置。

【請求項7】請求項3において、更に複数の変換テーブルのデータを記憶する初期化メモリを有し、該複数の変換テーブルのデータのうち少なくとも一つの該変換テーブルのデータが前記変換テーブル部のメモリに書き込まれ、前記初期化メモリは、該変換テーブル部のメモリに書き込まれた変換テーブルのデータに従って、シフト数を示すシフトデータ信号を前記合成部に供給し、前記合成部は、当該シフトデータ信号に従ってシフトすることを特徴とする表示装置。

【請求項8】請求項4において、

更に複数の変換テーブルのデータを記憶する初期化メモリを有し、該複数の変換テーブルのデータのうち少なくとも一つの該変換テーブルのデータが前記変換テーブル部のメモリに書き込まれ、

前記初期化メモリは、該変換テーブル部のメモリに書き込まれた変換テーブルのデータに従って、前記のリミット回路に前記第二の階調数を示すリミット値信号を供給することを特徴とする表示装置。

【請求項9】階調の重みに応じて時分割した複数のサブフレームを多重して構成される1フレームにより、多階調の表示を行なう表示装置において、

異なる階調に対応する複数ビットの信号を有する多階調信号の一部の複数ビット信号をアドレス信号として入力し、少なくとも同一の階調の重みを持つサブフレームを複数有する複数のサブフレームの所定の組み合わせに変換した重ね合わせ変換出力を出力する変換テーブル部と、

前記変換テーブル部のアドレス信号のビット数より前記重ね合わせ変換出力のビット数が多い場合に、前記の多階調信号の残りのビット信号を所定ビット分シフトし、当該シフトされた前記多階調信号の残りのビット信号と前記重ね合わせ変換出力信号とを合成し、1つのフレームを構成する複数のサブフレームの信号を生成する合成部と、

前記変換テーブル部の前段に設けられ、前記多階調信号のビット数に基づく第一の階調数よりも前記合成されたサブフレームの信号により第二の階調数が少ない場合に、当該多階調信号を前記第二の階調数より高くないようにするリミット回路と、

前記合成された複数のサブフレームの信号に基づいて、表示部に多階調の画像を表示する表示制御部とを有することを特徴とする表示装置。

【請求項10】請求項9において、前記多階調信号が5ビットの信号であり、該多階調信号の上位4ビットが前記アドレス信号であり、前記重ね合わせ変換出力が5ビットであり、該多階調信号の下位1ビットの信号が1ビット分シフトされて当該重ね合わせ変換出力と合成されることを特徴とする表示装置。

【請求項11】請求項9において、前記多階調信号が5ビットの信号であり、該多階調信号の上位4ビットが前記アドレス信号であり、前記重ね合わせ変換出力が6ビットであり、該多階調信号の下位1ビットの信号が2ビット分シフトされて当該重ね合わせ変換出力と合成されることを特徴とする表示装置。

【請求項12】請求項9において、前記多階調信号が5ビットの信号であり、該多階調信号の上位4ビットが前記アドレス信号であり、前記重ね合わせ変換出力が7ビットであり、該多階調信号の下位1ビットの信号が3ビット分シフトされて当該重ね合わせ

変換出力と合成されることを特徴とする表示装置。

【請求項13】請求項9において、前記多階調信号が6ビットの信号であり、該多階調信号の上位4ビットが前記アドレス信号であり、前記重ね合わせ変換出力が5ビットであり、該多階調信号の下位2ビットの信号が1ビット分シフトされて当該重ね合わせ変換出力と合成されることを特徴とする表示装置。

【請求項14】請求項9において、前記多階調信号が6ビットの信号であり、該多階調信号の上位4ビットが前記アドレス信号であり、前記重ね合わせ変換出力が6ビットであり、該多階調信号の下位2ビットの信号が2ビット分シフトされて当該重ね合わせ変換出力と合成されることを特徴とする表示装置。

【請求項15】請求項9において、前記多階調信号が7ビットの信号であり、該多階調信号の上位4ビットが前記アドレス信号であり、前記重ね合わせ変換出力が5ビットであり、該多階調信号の下位3ビットの信号が1ビット分シフトされて当該重ね合わせ変換出力と合成されることを特徴とする表示装置。

【請求項16】請求項9において、前記多階調信号がMビット（Mは2以上の整数）の信号であり、該多階調信号の任意のNビット（Nは1以上の整数であって $M > N$ ）が前記アドレス信号であり、前記重ね合わせ変換出力がPビット（PはN以上の整数）であり、該多階調信号の残りの $M - N$ ビットの信号が $P - N$ ビット分シフトされて当該重ね合わせ変換出力と合成されることを特徴とする表示装置。

【請求項17】階調の重みに応じて時分割した複数のサブフレームを多重して構成される1フレームにより多階調の表示を行なう表示装置において、異なる階調に対応する複数ビットの信号を有する多階調信号の一部のビット信号をアドレス信号として変換テーブル部に入力し、複数の前記サブフレームの所定の組み合わせに変換した重ね合わせ変換出力を該変換テーブル部から出力するステップと、前記多階調信号の残りのビット信号と前記重ね合わせ変換出力信号とを、階調に応じて合成し、1つのフレームを構成する複数のサブフレームの信号を生成するステップと、該合成された複数のサブフレームの信号に基づいて、表示部に多階調の画像を表示するステップとを有することを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、フレーム内時分割法によって多階調表示を行う表示装置、例えばプラズマ・ディスプレイ・パネルや液晶表示パネル等を用いた表示装置における重ね合わせ法を実現するための内部構造の改良に関する。

【0002】

【従来の技術】近年において、表示装置の大型画面化と省スペース化を満たすものとして、プラズマ・ディスプレイ・パネル（以下PDPと称する。）や液晶表示パネル（以下LCDと称する。）を利用した表示装置が研究開発され、商品化されている。

【0003】これらの表示パネルでは動作安定状態が2つ、つまり点灯と消灯或いは明の状態と暗の状態しかない。従って、RGB信号を利用してフルカラーを実現するために、フレーム内分割法を利用して多階調表示が行なわれる。このフレーム内分割法とは、垂直同期信号に同期した表示である1フレームが通常 $1/60$ 秒の周期で行われるので、その $1/60$ 秒（約 16.7 msec ）の1フレームの期間の間に明るさに応じた回数の点灯動作をさせることにより、明るさの差を表現するようにする方法である。

【0004】かかるフレーム内分割法については既に知られている技術であるが、本発明を説明する為に、PDP表示装置を例にして以下にて簡単に説明する。

【0005】図24は3電極方式のPDPの概略的構成図であり、図25はそのPDPの1つの放電セル10における詳細な断面構造である。図24、図25に示されるように、一方のガラス基板13上に全セル共通のX電極14と個別にスキャン駆動されるY電極15が平行に設けられ、また他方のガラス基板12上にはX、Y電極と垂直に直交し個別に駆動可能なアドレス電極16が設けられている。そして、X電極14、Y電極15及びそれと直交するアドレス電極16とで形成されるセル領域10を囲むように壁部17が格子状に形成されていて、放電空間20が画定される。X電極14とY電極15は誘電体層18とその上の保護層21により被覆されている。また、ガラス基板12上の壁部17に囲まれた領域には、赤、青、緑（RGB）に対応した発光体19が形成されている。そして、図24にあるように、例えばRGBの3つのセル10により、表示装置としての1画素が構成される。図24中の3はY電極共通の駆動回路であり、それぞれのY電極駆動回路41-4nを通してY電極15をスキャンドライブする。また5はX電極14の駆動回路、6はアドレス電極16の駆動回路である。

【0006】図26は、かかるPDP装置の各電極の駆動動作を説明する波形図である。図26に示されるように、垂直同期信号 V_{syn} に同期した1フレームが、例えば6つのサブフレームSF1-SF6に分割されている。そして、それぞれのサブフレームSFは、書き込み・消去するリセット期間S1と、表示したいセル10に点灯するためのアドレス期間S2と、その点灯したセルに明るさを与えるための維持放電期間S3とから構成される。

【0007】例えば、サブフレームSF6における駆動動作を説明する。まず、リセット期間S1にて、まずX電極14とY電極15との間にプラズマ放電に必要な高

い電圧を印加するために書き込みパルスWPをX電極14に印加し、全てのセルでプラズマ放電を生じさせる。そしてその直後に、全てのY電極15とX電極14に消去パルスを印加して一旦全てのセルのプラズマ放電を消去する。これにより、以前書き込まれていたセルも書き込まれていなかったセルも同じように壁電荷が多少存在する状態になる。その結果、次のアドレス期間S2でのアドレスパルスによっては放電をするが、維持放電期間S3での維持放電パルスによっては放電しない状態になる。

【0008】次に、アドレス期間S2にて、点灯させたいセルに対応するアドレス電極16-1乃至16-mにアドレスパルスADPを印加させながらY電極15にスキャンパルスSCPを印加させてスキャンドライブする。この結果、画面全面のセルの内点灯させたいセル領域でプラズマ放電が発生する。そして、続く維持放電期間S3にて、維持放電パルスがX電極14と全Y電極15に印加されることで、アドレス期間S2で点灯したセルに対して所定の明るさが供給される。

【0009】PDP装置やLCD装置の場合は、原理的に2枚のパネル間に発光をするかしないかの2つの状態しかないので、多階調表示を実現する為に、図26に示されるようにそれぞれ維持放電期間S3が異なる6つのサブフレームSF1-SF6で1フレームを構成している。即ち、重み付け法により1、2、4、8、16、32の重みの明るさを表現できる6つのサブフレームSF1-SF6から構成されるのである。こうすることで、図27に示されるように、0から63までの階調を表現することができるのである。つまり、階調1ではサブフレームSF1でのみ点灯し、階調5ではサブフレームSF1とSF3とを点灯し、また階調63では全てのサブフレームSF1-SF6を点灯する等である。

【0010】尚、6つのサブフレームSFから構成されるのは、例えば前述したアドレス期間S2でのスキャン動作にかなりの時間を要し、例えば2msecを要すると、各サブフレームSFでのリセット期間S1や放電維持期間S3を考慮すれば、16.7msecの1フレーム内には6つのサブフレーム程度が限界になるからである。従って、例えばアドレス期間S2が更に短くなる場合は、それより多い7つのサブフレーム、或いは8つのサブフレームで多階調を表現することが可能になる。従って、6つのサブフレームとは一つの例にしか過ぎない。

【0011】ところが、上記のように重み付けをした複数のサブフレームを時分割で重み付けの順番に点灯させたのでは、連続する階調を表示する場合等に所謂フリッカや色偽輪郭が発生して、画質が低下するという問題がある。図28、図29にその例を示す。図28では、図27での階調の31と32とをフレーム毎に交互に表示する場合を示している。階調が31の場合は、サブフレ

ームSF1-SF5（重み付け1、2、4、8、16）を点灯し、階調が32の場合は、サブフレームSF6（重み付け32）を点灯することになる。従って、フレーム内では正しく点灯させていても、時間軸に沿ってみると、階調63で点灯した場合と階調0の場合（滅）とが交互に繰り返されることになる。このような現象により、60Hzの周波数のフレームに対して、30Hzの低周波成分が作成されて、フリッカ（ちらつき）が発生することになる。図29は、同様に階調15と16が交互に繰り返される例であり、同様にフリッカの原因となる。

【0012】このようなフリッカ現象を防止するために、輝度が高いサブフレームSF16やSF32を出来るだけ1フレーム内の時間的に中央付近等に配置するなどの方法が提案されている。しかし、それでも輝度が極端に高いサブフレームを使用する限りは、スムーズなサブフレームの配列にならずに、所謂色偽輪郭と呼ばれる現象が生じる。そして、例えば人物の肌色部分が移動すると肌色部分に赤紫や緑色の偽輪郭が発生し、動画像の画質が低下するのである。

【0013】かかる色偽輪郭の問題を解決する為に、本発明者らは、輝度の高いサブフレームを分割し、更にそれらのサブフレームを階調毎に最適の配列にすることを提案している。例えば、特許出願平成6年264244号、それに対応する米国出願368002号、等である。この方法を、本発明者らは重ね合わせ法と称している。

【0014】

【発明が解決しようとする課題】しかしながら、上記重ね合わせ法によりフレーム内での時分割型の表示を行なう為には、明るさの階調を2進数で表現した複数ビット信号を、適切な重み付けをした複数のサブフレームの適切な組み合わせに変換することが必要である。このような変換をするためには、通常半導体メモリ等を利用したルック・アップ・テーブルが使用される。ところが、上記の重ね合わせ法によれば、より画質を高めるために、複数種類の変換テーブルを予め用意しておいて、画素単位で変換テーブルを変えることが行なわれる。また、使用されるPDPの性能に応じて、6つのサブフレームで1フレームを構成する場合や、7つのサブフレーム或いは8つのサブフレームで1フレームを構成する場合があるため、それぞれの変換テーブルを用意しておく必要がある。

【0015】従って、かかる変換テーブルに使われるメモリの容量が膨大になるという問題を招くことになる。

【0016】そこで、本発明者らは、重ね合わせ法を行なうための変換テーブルについて検討をした結果、特別の手法によれば上記変換テーブルであるルック・アップ・テーブルのメモリの容量を飛躍的に抑えることができる点を発見し、本件の発明に至ったのである。

【0017】従って、本発明の目的は、高画質のフラット・パネル表示装置を提供することにある。

【0018】また本発明の別の目的は、高画質を実現するための重ね合わせ法を利用するための変換テーブルのメモリの容量を少なくすることができるフラット・パネル表示装置を提供することにある。

【0019】さらに、本発明の別の目的は、一つの変換テーブル自体の容量を少なくすることにより、ルック・アップ・テーブルのメモリに格納できる変換テーブルの数を多くすることができ、よって高画質を実現できる表示装置を提供することにある。

【0020】さらに、本発明の別の目的は、PDP表示装置において、ルック・アップ・テーブルに使用される半導体メモリの容量を少なくすることができ、よりコンパクトで高画質の表示装置を提供することにある。

【0021】

【課題を解決するための手段】上記の目的は、本発明によれば、階調の重みに応じて時分割した複数のサブフレームを多重して構成される1フレームにより多階調の表示を行なう表示装置において、異なる階調に対応する複数ビットの信号を有する多階調信号の一部のビット信号をアドレス信号として入力し、複数の前記サブフレームの所定の組み合わせに変換した重ね合わせ変換出力を出力する変換テーブル部と、前記多階調信号の残りのビット信号と前記重ね合わせ変換出力信号とを、階調に応じて合成し、1つのフレームを構成する複数のサブフレームの信号を生成する合成部と、該合成された複数のサブフレームの信号に基づいて、表示部に多階調の画像を表示する表示制御部とを有することを特徴とする表示装置を提供することにより達成される。

【0022】更に、上記目的は、本発明の別の例によれば、階調の重みに応じて時分割した複数のサブフレームを多重して構成される1フレームにより、多階調の表示を行なう表示装置において、異なる階調に対応する複数ビットの信号を有する多階調信号の一部の複数ビット信号をアドレス信号として入力し、少なくとも同一の階調の重みを持つサブフレームを複数有する複数のサブフレームの所定の組み合わせに変換した重ね合わせ変換出力を出力する変換テーブル部と、前記変換テーブル部のアドレス信号のビット数より前記重ね合わせ変換出力のビット数が多い場合に、前記の多階調信号の残りのビット信号を所定ビット分シフトし、当該シフトされた前記多階調信号の残りのビット信号と前記重ね合わせ変換出力信号とを合成し、1つのフレームを構成する複数のサブフレームの信号を生成する合成部と、前記変換テーブル部の前段に設けられ、前記多階調信号のビット数に基づく第一の階調数よりも前記合成されたサブフレームの信号により第二の階調数が少ない場合に、当該多階調信号を前記第二の階調数より高くないようにするリミット回路と、前記合成された複数のサブフレームの信号に

基づいて、表示部に多階調の画像を表示する表示制御部とを有することを特徴とする表示装置を提供することにより達成される。

【0023】更に、上記目的は、本発明の別の例によれば、階調の重みに応じて時分割した複数のサブフレームを多重して構成される1フレームにより多階調の表示を行なう表示装置において、異なる階調に対応する複数ビットの信号を有する多階調信号の一部のビット信号をアドレス信号として変換テーブル部に入力し、複数の前記サブフレームの所定の組み合わせに変換した重ね合わせ変換出力を該変換テーブル部から出力するステップと、前記多階調信号の残りのビット信号と前記重ね合わせ変換出力信号とを、階調に応じて合成し、1つのフレームを構成する複数のサブフレームの信号を生成するステップと、該合成された複数のサブフレームの信号に基づいて、表示部に多階調の画像を表示するステップとを有することを特徴とする表示装置の駆動方法を提供することにより達成される。

【0024】以上の表示装置によれば、重ね合わせ変換のテーブル部のメモリの容量を減らすことができる。また、一つの変換テーブルのメモリ容量を減らすことができるので、複数の変換テーブルをメモリに記憶させることができ、画質を向上させることができる。更に、メモリの容量を減らすことで装置の小型化を図ることができる。

【0025】

【発明の実施の形態】以下、本発明の実施の形態について図面に従って説明する。

【0026】[表示装置の全体構成]図1は、本発明の実施の形態のフラット・パネル表示装置100の全体構成図である。以下、フラット・パネル表示装置をPDP表示装置を例にして説明を進めていくが、本発明がPDP表示装置だけでなくLCD装置等のフラット・パネル表示装置全般に適用できるのはいうまでもない。

【0027】図1において、1は表示パネル部、3、4がY電極15を駆動するYドライバ、5がX電極14を駆動するXドライバ、6がアドレス電極16を駆動するアドレス・データ・ドライバである点は、図24と同様である。

【0028】多階調化処理部31、重ね合わせ変換部32及びデータ配列変換部33は、所謂表示データの前処理部に該当する。入力表示データDinは、赤、緑、青(RGB)それぞれに対応する8ビットの信号である。これにより、RGBそれぞれが256階調の表示データになっている。そして、この入力表示データDinは、多階調化処理部31にて256よりも低い分解能であって256階調相当を表現できる信号DTに変換される。

【0029】多階調化処理は、複写機やプリンタ等で使用されており、一般的に知られた技術であるため、ここでは詳細には説明しない。一例を簡単に説明すると、例

えば8ビットの入力表示データに対して、上位6ビットからなる64階調の信号をそのまま表示用の信号として使用し、下位の2ビットからなるより微小な階調差を表現する信号を一定のアルゴリズムに従って近接する画素での階調データに反映させる様修正する処理である。

【0030】このようにして多階調化処理された多階調信号である表示データDTは、重ね合わせ変換部32にて、フリッカや色偽輪郭などを防止するために適切なサブフレームの組み合わせのデータに変換される。そしてその変換データQが表示画面の画素の順番に入力されてくるので、データ配列変換部33にて、1ライン(Y電極のライン)毎のサブフレームに対応する変換データに配列変換されて、その出力データQXが出力される。

【0031】ここで処理された表示用のデータQXが、フレームメモリ入出力制御バッファ35を経由してフレームメモリ34に一旦格納され、インターフェース制御回路36の制御信号に従ってアドレスデータA-DATAがアドレス・データ・ドライバ6に供給される。

【0032】一方、駆動系の処理は全て駆動部制御回路38により制御される。ここでは、インターフェース制御回路36からのタイミングコントロール信号等に従って表示パネルを駆動するための内部シーケンスを生成し、予めプログラムされた駆動波形ROM39からの駆動波形を適宜読み出し、それらの駆動波形データに応じて、Xサステイン駆動回路40、Yスキャン駆動回路41、アドレス駆動回路42を介して、各ドライバ3、4、5、6を駆動する。

【0033】インターフェース制御回路36には、水平同期信号Hsyn、垂直同期信号Vsyn、及びクロック信号CLKが入力される。従って、インターフェース制御回路36では、表示装置100内の全体のタイミングを制御することになる。例えば、垂直同期信号Vsynからフレームの同期が制御され、垂直同期信号Vsyn、水平同期信号Hsyn及びクロックCLKから入力されているRGBの入力表示データDinが表示画面のどの画素に対応しているかのタイミングの制御が行なわれる。37は初期化ROMであり、例えば、サブフレームSFの数の設定、重ね合わせ変換テーブルの指定などが工場出荷時点で記憶され、その初期値に従ってインターフェース制御回路等の動作が実行される。

【0034】以上の様に、表示パネル部1に多階調の画像を表示する為に、インターフェース制御回路36、駆動部制御回路38等が表示制御部として機能する。

【0035】[重ね合わせ法] 図2に重ね合わせ法に従う変換テーブルの例が示されている。重ね合わせ法については前述した通り本発明者等が先に出願した特許明細書に詳しく説明されているが、その概略について簡単に説明する。

【0036】図28や図29にて説明したフリッカや色偽輪郭を防止するために、重み付けの高いサブフレーム

を分割し、更に複数のサブフレームの表示順を最適に並び替え、そして各中間調レベルに最適な組み合わせにしている。図2の例は、図26の場合と違って7つのサブフレームの例である。図2の例に示されるように、この変換テーブルでは、サブフレームの表示順は、重み付けが4, 8, 2, 16, 1, 8, 4の順番になっている。そして、0から43の中間調レベルそれぞれに最適な組み合わせが予め設定されている。図2の右側の部分の丸を付したところが点灯されるサブフレームを意味し、左端のサブフレームから右端のサブフレームまでが順番に表示される。

【0037】256階調をもつ8ビットの表示データ入力信号Dinが、多階調化処理部31にて44階調に縮小される点は既に説明した通りである。従って、0-43階調を表す多階調化済の表示入力データDTは、DT2-DT7の6ビットの信号で表されることになる。そして、この入力データDT2-7が図1における重ね合わせ変換部32において、図2の変換テーブルに従って7つのサブフレームの組み合わせを表す変換データQに変換される。従って、変換されたデータQはQ1-Q7の7ビットになる。

【0038】さて、図2の変換テーブルにより、重み付けが1, 2, 4, 4, 8, 8, 16で、順番が4, 8, 2, 16, 1, 8, 4のサブフレームの組み合わせに変換される。その結果、図29で説明した階調15と階調16を交互に表示した場合は、図3の如くなる。図29と図3を比較して分かるように、重ね合わせ法により変換した場合は、同一の階調の重みを持つサブフレームが複数存在することになり、また点滅されるサブフレームが時間的に分散されることになり、図29で説明したような現象は生じにくくなる。尚、変換されたデータQのインデックスは、サブフレームの重み付けの重い方に上位ビットが対応するようになっている。従って、重み付けが16, 8(2), 8(1), 4(2), 4(1), 2, 1のサブフレームに対応する変換データQは、それぞれQ7, Q6, Q5, Q4, Q3, Q2, Q1になる。

【0039】図2に示した重ね合わせ法による変換テーブルから明らかなように、重み付け32, 16, 8, 4のサブフレームは、1つの重み付け16のサブフレーム、2つの重み付け8のサブフレーム、2つの重み付け8のサブフレーム及び2つの重み付け4のサブフレームに分けられている。即ち、7つのサブフレームであるにも係わらず、重みが4と8のサブフレームがそれぞれ2つずつ存在し、重み64, 32のサブフレームがない。このサブフレームの組み合わせは、まず、表示パネル側の駆動能力から1つのフレーム期間中に表示できるサブフレームの数が導かれ、その数に従ったベストのサブフレームの組み合わせが導かれるという考え方で決められる。従って、もし1フレーム期間内に7つのサブフレー

ムしか駆動できない場合は、サブフレームの数は7つと決められ、7つのサブフレームでフリッカや色偽輪郭を防止できる最適な組み合わせが考えられることになる。

【0040】今、図2の様に重み付けが4, 8, 2, 16, 1, 8, 4の順番の組み合わせが適切ということになると、当然の帰結として0-43の中間調レベルしか表現できないことになる。そして、44階調の表示能力で、256階調の表示を行なうことができるように、多階調化処理が行なわれることになる。従って、表示パネル側の能力によっては、サブフレームの数をさらに多くしてその分中間調レベルの数も多くすることができるし、サブフレームの数が6つしかない場合はそれに対応する中間調レベルの数にするのである。

【0041】[重ね合わせ変換部の改良]さて、図2の変換テーブルを単純に半導体メモリ等によるルック・アップ・テーブルで実現しようとすると、データDT2-DT7を入力アドレスとしてメモリに供給し、44種類の変換テーブルに従って、データQ1-Q7を出力することになる。しかしながら、かかる変換テーブルを複数準備する等の必要があり、単純に増やしていくとメモリの容量が膨大になる問題がある。

【0042】ところが、本発明者らは、図2の変換テーブルを分析すると、入力側の最下位のビットDT2, DT3は重ね合わせ変換の対象とはならず、出力側の最下位のビットQ1, Q2と同じであることを発見した。即ち、出力側のデータQの○記号の部分をも"1"とし、○記号がない部分を"0"とすると、全く同じ2ビットの信号になるのである。

【0043】そこで、本発明では重ね合わせ変換の対象にならないビット(図2の例ではDT2, DT3)に対しては、変換テーブルの入力とせず、重ね合わせ変換の対象になるビット(図2の例ではDT4-DT7)のみを変換テーブルに入力するようにする。そして、その後変換された出力データQ7, Q6, Q5, Q4, Q3と変換の対象にならなかった入力ビットDT2, DT3とを合成する。

【0044】この点については、図4の本発明の実施の形態における重ね合わせ変換の概略図に示される通りである。8ビットの入力表示データDinが多階調化処理部31により補正されてデータDT0-DT7が作成される。この内DT2-DT7が有効なデータであり、0-43の中間調レベルを表現する6ビットの信号である。上記したように、入力信号DT4, DT5, DT6, DT7が重ね合わせ変換の対象となり、変換後のデータとして出力信号Q3, Q4, Q5, Q6, Q7がルック・アップ・テーブルの出力として出力される。また、変換の対象にならない入力信号DT2, DT3は、下位方向にシフトされてそのまま出力信号Q1, Q2として出力される。そして、最終的に、7ビットのサブフレームの点灯、非点灯を意味する表示用のデータQ1-Q7がデ

ータ配列変換部33に供給される。

【0045】上記の例では、入力信号が2ビット分節約されることになり、メモリの領域は4分の1になる。

尚、重ね合わせ変換の対象になる入力ビットがどれになるかは、変換テーブルの種類によりケースバイケースで判断される必要がある。しかしながら、少なくとも有効ビットの最小位ビットは中間調レベルの最小単位を代表するので、重ね合わせ変換の対象になることはない。また、上記の例の二番目に小さい位のビット(DT3)については、重み付けが2に対応するが、場合によっては重み付け2を2つの重み付け1に分割して重ね合わせることも行なわれる。但し、フリッカや色偽輪郭の原因が、重み付けが大きなサブフレームの存在が原因であるから、原則としては下位ビットの入力が変換の対象にならないことになり、上位ビットは変換の対象になる。また、上位ビットのうち飛び飛びの任意の複数ビットのみが変換の対象になることもある。

【0046】次にかかる重ね合わせ変換部の内部構造について説明する。図5は本発明の実施の形態における重ね合わせ変換部32の構成図の例である。この例では、入力されるデータDTがリミット回路321を介して変換テーブル部であるルック・アップ・テーブル(LUT)を構成するランダム・アクセス・メモリ(RAM)322に供給される。リミット回路321の出力RMA7-RMA0の内、有効なものは上位6ビットであり、その内の上位4ビットRMA7-RMA4が変換の対象となり、RAM322に入力される。また、変換の対象にならない下位ビットRMA3-RMA0はシフト回路323に入力される。

【0047】そして、変換されたRAM322の出力RMD7-RMD0の内有効な上位4ビットが、サブフレームのオン・オフを指示する出力データQ7, Q6, Q5, Q4としてそのまま出力される。また、下位の4ビットRMD3-RMD0は、シフト回路323にて変換非対象の下位ビットRMA4-RMA0を1ビット分下位方向にシフトしたシフト出力S3-S0とマルチプレクサ回路324で合成される。具体的には、有効なシフト出力S3-S0が優先的に出力データQ3-Q0として出力される。

【0048】上記のシフト回路323を設けた理由は、図4でも説明した様に、階調順位を適合させるためである。このシフト量は、重ね合わせ変換テーブルによって異なってくるので、初期化ROM37からのシフト指示信号DSFTの値により設定される。具体的には、変換テーブル部のメモリ322に入力されるアドレスRMAのビット数より出力される変換出力RMDのビット数が多い場合は、その多い分だけシフトされることになる。従って、図2の変換テーブルの例ではシフト数は1である。

【0049】以上の様に、シフト回路323とマルチプ

レクサ回路324とにより変換の非対象の多階調信号RMA3-0と変換出力信号RMD3-0とが、階調に応じて合成されることになる。従って、シフト回路323とマルチプレクサ回路324とで合成部が構成される。

【0050】また、リミット回路321を設けた理由については、図6、7、8、にて説明する。リミット回路321の動作原理は、図6に示したように入力される信号DTの中間調レベルが一定値よりも高いレベルにある場合は、出力される信号RMAはリミット値に固定するというものである。

【0051】上記説明した通り、本発明の原理によれば、変換テーブルの容量を少なくするために、変換が必要な上位ビット部分と変換が不必要な下位ビット部分とに分けて、上位ビット部分は変換テーブルを介して変換し、その後変換されなかった下位ビット部分と、階調順位を合わせて合成するというものである。しかしながら、かかる手法によれば、図7に示すように不都合を生じることがある。

【0052】図7には、中間調レベルが42、43、44、45の場合についてそのまま変換テーブルで変換した場合について示している。左側のDT7-DT2が変換前のデータで、右側のQ7-Q1が変換後のデータである。図2に示した重ね合わせ法によれば、0から43の中間調レベルしか対象になっていない。従って、入力信号DTとして44が入力されると、図7に示される様に、入力信号DTは(101100)となる。そして、その内の下位ビットDT3、DT2をそのまま変換せずに合成すると、合成後の出力信号Qは、(1111100)となり重み付けをして合計すると中間調レベルが40になってしまう。

【0053】即ち、重ね合わせ変換された出力が表現できる階調数(上記の例では0-43階調)が、入力データDTが表現できる階調数(分解能)(上記例では6ビット故に0-63階調)よりも少なくなってしまう場合に、上記したような問題が生じるのである。従って、重ね合わせ変換テーブルの設定によってそのリミット値が変更されなければならない。

【0054】そこで、本発明では上記不都合を回避する為に、中間階調レベルが43を越える場合は、一律43のリミット値にするようにしている。その結果、図8のチャートの真ん中のテーブルに示されるようにリミット回路321で変換された出力RMA7-RMA2は中間調レベルが43を越える44-63に対して43に固定されている。その結果、重ね合わせ変換されると、図8の右のテーブルの如く、43以上は全て43の階調に変換されることになる。尚、従来のように全てのビットを変換する場合は、変換テーブル内にてかかるリミットを行えば良いのであるが、本発明の様に一部のビットのみ変換対象とするためかかるリミット回路が必要になる。

【0055】図9はかかるリミット回路321の具体的な回路例である。325は、入力データDTと初期化ROM37から設定されたリミット値DLMTの大小関係を判定する回路である。具体的には加算回路であり、入力データDTとリミット値DLMTの反転値とを加算し、入力データDTが大きい場合はキャリー値CRTが1となり、入力データDTがリミット値DLMT以下の場合はキャリー値CRTが0となる。図10の動作説明図に示される通りである。そして、セレクト回路326では、そのキャリー値がセレクト信号Sとして使用されて、入力データDTとリミット値DLMTの何れかが選択される。セレクト回路326は具体的には、矢印で示したようにAND回路とOR回路及びインバータにより構成される。

【0056】変換テーブル部のルック・アップ・テーブルであるRAM322には、リミット回路321からの8ビットの出力の内上位4ビットが変換対象の多階調信号、アドレス入力RMA7-RMA4として入力されている。また、後述する6つまたは8つのサブフレームの例でも、上位4ビットが変換の対象になる。また、RAM322には、データ入出力として、初期化ROM37からの8ビットの重ね合わせ変換テーブルのデータDDSと8ビットの変換出力RMD7-RMD0が入力または出力される。複数種類の重ね合わせ変換テーブルのデータを予め初期化ROM37に記憶させておき、使用されるサブフレームの数等に応じて最適の変換テーブルをデータDDSとしてRAM322に書き込むことができるようにするためである。

【0057】シフト回路323にはリミット回路321からの8ビットの出力の内下位のアドレス入力RMA3-RMA0が入力されている。そして、初期化ROM37からのシフト量を示すシフトデータDSFT(3ビット)に応じて下位側にシフトされる。従って、RMA3-RMA0がS3-S0に変換される。

【0058】そして、シフトされたデータS3-S0と変換されたデータRMD3-RMD0とがマルチプレクサ回路324で合成される。この関係について、図11に従って説明する。図11は、シフト回路323とマルチプレクサ回路324の出力とシフトデータDSFTのシフト数の関係を示す表である。シフト数が1の時は、シフト出力S3-S0には0と信号RMA3-RMA1がそれぞれ出力される。またシフト量が2の時には、0、0と信号RMA3-RMA2がそれぞれ出力される。そして、マルチプレクサ回路では、それらのシフト出力信号が0(Lレベル)に対応するビット部分に変換された出力RMDのデータが合成されることになる。

【0059】図12、図13は、上記のシフト回路323とマルチプレクサ回路324の機能を実現する合成部の具体的な回路例である。図12は、シフト回路323とマルチプレクサ回路324の機能を同時に実現する合

成部回路であり、入力としてリミット回路321の下位出力RMA3-RMA0とRAM322の下位出力RMD3-RMD0が接続されて、図13の制御信号生成回路からのシフト制御信号SFT0-SFT4と合成制御信号CONT1、CONT2が制御信号として使用される。図中AはAND回路、OはOR回路をそれぞれ示している。

【0060】図13の制御信号生成回路では、初期化ROM37からの3ビットのシフトデータ信号DSFT0-DSFT2から、シフト制御信号SFT0-SFT4と合成制御信号CONT1、CONT2が制御信号として生成される。シフト制御信号SFT0-SFT4は、単に3ビットのシフトデータ信号DSFT0-DSFT2をデコードして得られる信号であり、シフト数に対応している。また合成制御信号CONT1、CONT2は、図中に示すシフトデータ信号値の場合に1となる信号であり、マルチプレクスの条件から導いた論理回路により生成される。

【0061】このようにして生成されたシフト制御信号SFT0-SFT4と合成制御信号CONT1、CONT2により、図12の回路では、図中右側に示したように、シフト数に応じてリミット回路321の下位出力RMA3-RMA0がシフトされ、RAM322の下位出力RMD3-RMD0と合成される。右側に示した結果は、前述の図11の表と同じである。

【0062】例えば、図2の変換テーブルの場合は、シフト数が1であるため、シフト制御信号SFT1が1となり、他のSFT0、2、3、4は0となる。従って、出力Q3にはRMD3、Q2にはRMA3、Q1にはRMA2、Q0にはRMA1がそれぞれ出力される。

【0063】以上のようにして重ね合わせ変換部32にて変換されて出力されるサブフレームに対応する出力データQ7-Q0がデータ配列変換部33に供給される。データ変換部では、初期化ROM37からの指示信号に従って、有効な出力、上記の例ではQ7-Q1、が採用され、出力Q0は無視される。

【0064】データ配列変換部33は、本件発明と直接関係しないので詳細な説明は省略するが、簡単に説明すると次の通りである。図14はデータ配列変換部の動作原理の説明図である。入力表示データは、時間tに示した様に、表示される画面の画素の順番で入力されてくる。そして、それぞれの画素DOT1-DOTn-DOTn毎のRGB信号が前述の通りの重ね合わせ変換されて、出力Q7-Q1が生成される。しかしながら、実際の表示パネル上では、画面の1ライン毎にアドレス・データ・ドライバ6がアドレスデータに従ってアドレス電極を駆動することになる。

【0065】そこで、データ配列変換部では、少なくとも1ライン毎にまとめられたサブフレーム毎のデータQXの単位にまとめてフレームメモリ34に格納されることになる。そして、フレームメモリ34からは、図2に

示したサブフレームの順番で(Q3、Q5、Q2、Q7、Q1、Q6、Q4の順番)、1ライン毎のアドレスデータA-DATAが出力される。

【0066】[他の実施例]次に、図15は7つのサブフレームの組み合わせの場合の重み付け変換テーブルの別の例を示す。図2に7つのサブフレームの場合の重み付け変換テーブルの例を示した。図15の変換テーブルの場合も同じサブフレームの組み合わせではあるが、変換が多少異なっている。即ち、図2の場合は、輝度レベルが4や8の場合は、できるだけフレーム中の早い時間でのサブフレームを点灯するようにした例である。一方、図15の場合は、輝度レベルが4や8の場合は、できるだけフレーム中の遅い時間でのサブフレームを点灯するようにした例である。いずれの場合も、点灯するサブフレームが分散されているので、フリッカや色偽輪郭の問題は解決されるが、かかる2つの異なる変換テーブルを画素の位置に応じて選択して利用することで、更に画質を向上させることができる場合がある。

【0067】そこで、上記のように複数のモードの変換テーブルを準備しておいて、図16に示す様に、画素の位置に応じて使用する変換テーブルのモードを変更することが好ましい。図16の(a)は、モードAとBとを千鳥格子状に配置した場合である。図16の(b)は、モードAとBを4つの画素単位で千鳥格子状に配置した場合である。更に、図16(c)は、4つのモードA、B、C、Dに対応する変換テーブルを利用する場合であり、この例では1行毎にモードA、B、C、Dが1つずつずれている例である。

【0068】このように複数のモードの変換テーブルを利用する場合の重ね合わせ変換部32の回路の例を、図5に戻って説明する。複数のモードの変換テーブルを利用する場合は、単純にモード数分の変換テーブルをRAM322に記憶させることが必要である。そこで、初期化ROM37とRAM322に上位入力アドレスとしてモード信号MODEを入力するようにする。モード数が2の場合は、モード信号MODEは1ビットであるが、モード数が4の場合は2ビットになる。

【0069】そして、最初に初期化ROM37から使用する複数の変換テーブルをRAM322に記憶させる。そして、表示制御中は、図1にて示したインターフェース制御回路36が、垂直同期信号Vsynと水平同期信号Vsyn及びクロックCLKとから現在の画素の位置を認識し、何れのモードの変換テーブルを使用するかについてのモード信号MODEをRAM322に入力することで、モードの選択を画素単位で行なう。

【0070】上記の実施例では、6ビットの多階調出力を7つのサブフレームに変換する場合について説明した。しかしながら、図5に示した重ね合わせ変換部の回路図は、それ以外のビット数の多階調出力を異なる数のサブフレームに変換する場合も使用することができる。

即ち、それぞれの変換テーブルを初期化ROM37に記憶しておいて、使用するフラット表示パネルの能力に応じて最適の変換テーブルを選択することになる。このような汎用性がある点について以下にて説明する。

【0071】図17は、重ね合わせ変換の各ビットの関係を示す表である。多階調出力が4-7ビットそれぞれの場合の、RAM322の入力アドレスRMA、RAM322の出力RMD、シフト数、サブフレーム数(SF)及び最終的に有効な重ね合わせ変換出力がこの表に示されている。

【0072】図2及び図15の変換テーブルは、6ビットの多階調出力を7つのサブフレームに変換する例である。従って、図17の表に示される様に、上位の4ビットがRAM322のアドレス入力として使用され、変換された5ビットのRAMの出力が、1シフトした2ビットの信号と合成されて、7つのサブフレームに対応する7ビットの重ね合わせ変換出力が得られることになる。

【0073】図18、19は、6ビットの多階調出力を8つのサブフレームに変換する例である。図2、15で説明したのと同様に二つのモードになっている。この場合は、図17の表に示される様に、上位の4ビットがRAM322のアドレス入力として使用され、変換された6ビットのRAMの出力が、2シフトした2ビットの信号と合成されて、8つのサブフレームに対応する8ビットの重ね合わせ変換出力が得られることになる。

【0074】図22、23は、5ビットの多階調出力を6つのサブフレームに変換する例である。図2、15で説明したのと同様に二つのモードになっている。この場合は、図17の表に示される様に、上位の4ビットがRAM322のアドレス入力として使用され、変換された5ビットのRAMの出力が、1シフトした1ビットの信号と合成されて、6つのサブフレームに対応する6ビットの重ね合わせ変換出力が得られることになる。

【0075】この例の場合は、原理的には、5ビットの多階調出力の上位3ビットのみをRAM322の入力アドレスとして、下位2ビットを変換の対象外にすることも可能である。但し、そのようにする場合は、図5に示した重ね合わせ変換部32の回路構成を多少変える必要がある。しかしながら、3ビットの入力に対して4ビットの出力を得る場合も、4ビットの入力に対して5ビットの出力を得る場合もそれほどRAMの容量に差はないので、汎用性を確保するために、上記のように上位4ビットを変換の対象にしている。

【0076】以上の例から明らかな通り、要すれば、多階調信号がMビット(Mは2以上の整数)の信号である場合は、多階調信号の任意のNビット(Nは1以上の整数であって $M > N$)が変換テーブルのメモリのアドレス信号となり、その重ね合わせ変換出力がPビット(PはN以上の整数)となり、多階調信号の残りの $M - N$ ビットの信号が $P - N$ ビット分シフトされて当該重ね合わせ

変換出力と合成されることになる。

【0077】

【発明の効果】以上説明した通り、本発明によれば、重ね合わせ変換に使用される変換テーブルのデータを記憶するメモリの容量を節約することができる。従って、メモリの容量を増やすことなく複数の変換テーブルのデータをメモリに記憶させることができ、より画質を向上させることができる。

【0078】また、メモリの容量を節約することにより、コンパクト化というフラットパネル表示装置の特性を損なうことなく、画質の向上を図ることができる。

【図面の簡単な説明】

【図1】フラットパネル表示装置の全体構造図である。

【図2】6ビットの多階調出力を7サブフレームに変換するテーブル例の図である。

【図3】重ね合わせ法を説明する図である。

【図4】発明の実施の形態における重ね合わせ変換の概略図である。

【図5】重ね合わせ変換部の内部構造図である。

【図6】リミット回路の動作原理図である。

【図7】リミット回路を説明するためのチャート図である。

【図8】リミット回路の動作を説明するためのチャート図である。

【図9】リミット回路の具体的回路例である。

【図10】リミット回路の動作説明図である。

【図11】シフト回路とマルチプレクサ回路の出力とシフト数の関係表である。

【図12】シフト回路とマルチプレクサ回路の具体例である。

【図13】図12の回路例の制御信号生成回路である。

【図14】データ配列変換部の動作原理の説明図である。

【図15】6ビットの多階調出力を7サブフレームに変換する別のテーブル例である。

【図16】複数モードの変換テーブルを使用する例である。

【図17】重ね合わせ変換のビット関係を示す表である。

【図18】6ビットの多階調出力を8サブフレームに変換するテーブル例(1)である

【図19】6ビットの多階調出力を8サブフレームに変換するテーブル例(2)である

【図20】7ビットの多階調出力を8サブフレームに変換するテーブル例(1)である

【図21】7ビットの多階調出力を8サブフレームに変換するテーブル例(2)である

【図22】5ビットの多階調出力を6サブフレームに変換するテーブル例(1)である

【図23】5ビットの多階調出力を6サブフレームに変

換するテーブル例（２）である

【図24】従来のPDPの概略的構成図である。

【図25】従来のPDPの放電セルの断面構造である。

【図26】PDP装置の各電極の駆動動作図である。

【図27】64階調のサブフレームの構成例である。

【図28】従来例の説明図である。

【図 29】従来例の説明図である。

【符号の説明】

1 表示部

321 リミット回路

322 変換テーブル部

323 シフト回路

324 マルチプレクサ回路

37 初期化メモリ

RMA アドレス入力

RMD 重ね合わせ変換出力

SF サブフレーム

DDSF 変換テーブルのデータ

DLMT リミット値信号

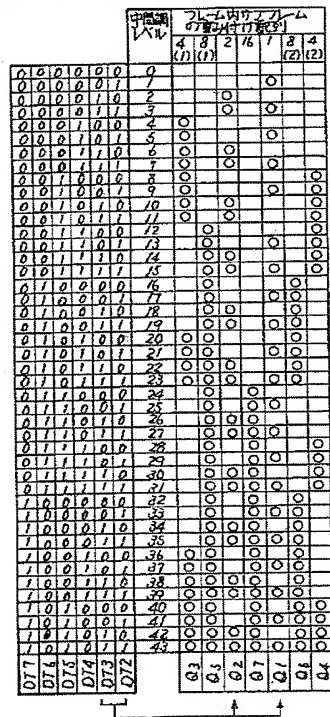
DSFT シフトデータ信号

【図2】

6ビットの多階調出力を7サブフレームに変換するテーブル例

サブフレーム点灯シーケンス

注記)表内の○記号は点灯サブフレームを表し、空欄は非点灯サブフレームを表して
いる。



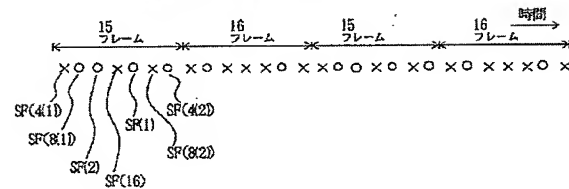
【図10】

リミット回路の動作説明図

	CRY	Q
DT < DLMF	0	DT
DT = DLMF	0	DT
DT > DLMF	1	DLMF

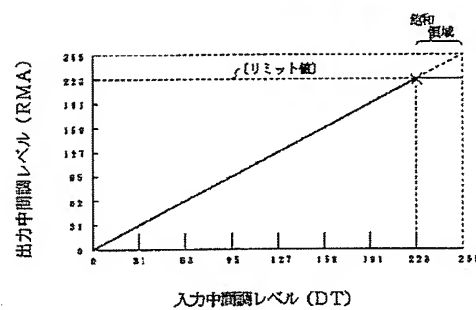
【図3】

重ね合せ法を説明する図



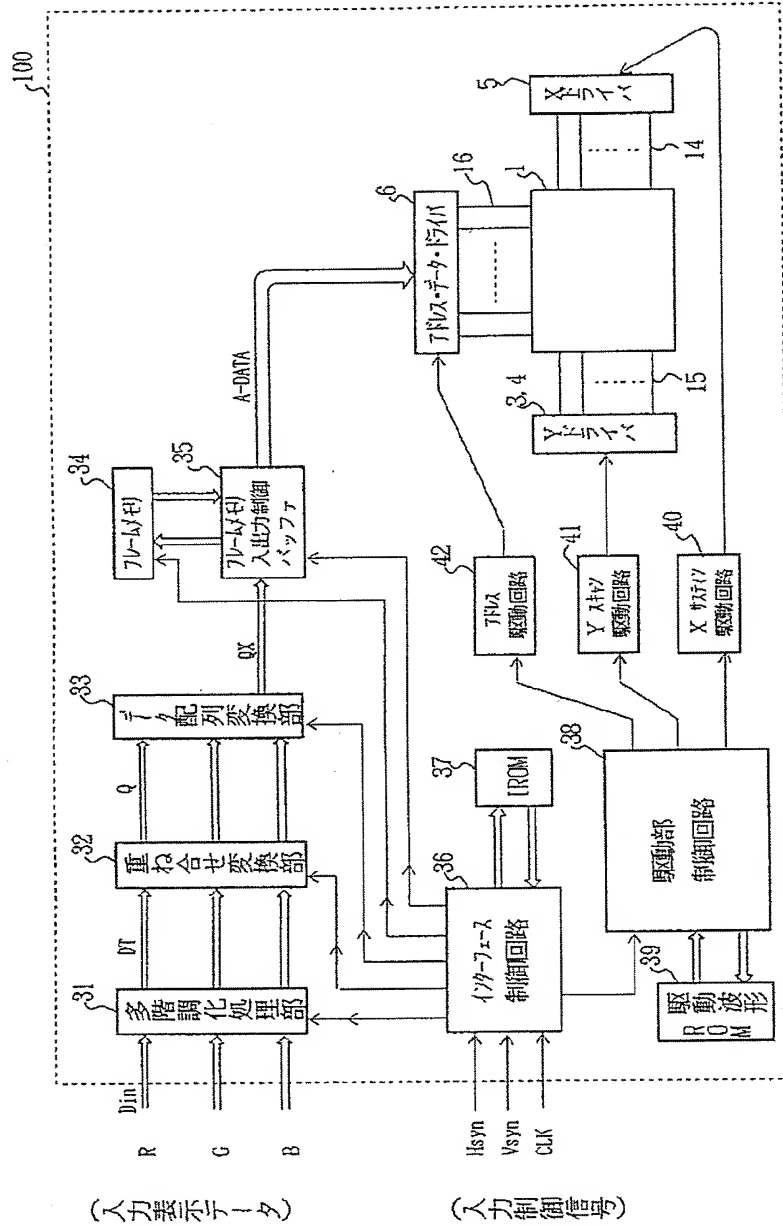
【図6】

リミット回路の動作原理図



【図1】

フラットパネル表示装置の全体構成図



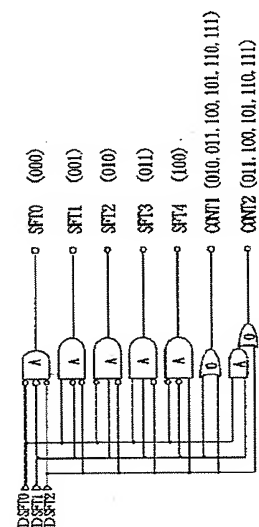
【図7】

リミット回路を説明するためのチャート図

中間レベル	変換対象	非変換対象	変換対象	非変換対象	変換後
DT ₁ , DT ₂ , DT ₃ , DT ₄	DT ₁ , DT ₂ , DT ₃ , DT ₄	DT ₁ , DT ₂ , DT ₃ , DT ₄	DT ₁ , DT ₂ , DT ₃ , DT ₄	DT ₁ , DT ₂ , DT ₃ , DT ₄	DT ₁ , DT ₂ , DT ₃ , DT ₄
42	1	0	1	0	OK
43	1	0	1	0	OK
44	1	0	1	0	OK
45	1	0	1	0	OK

【図13】

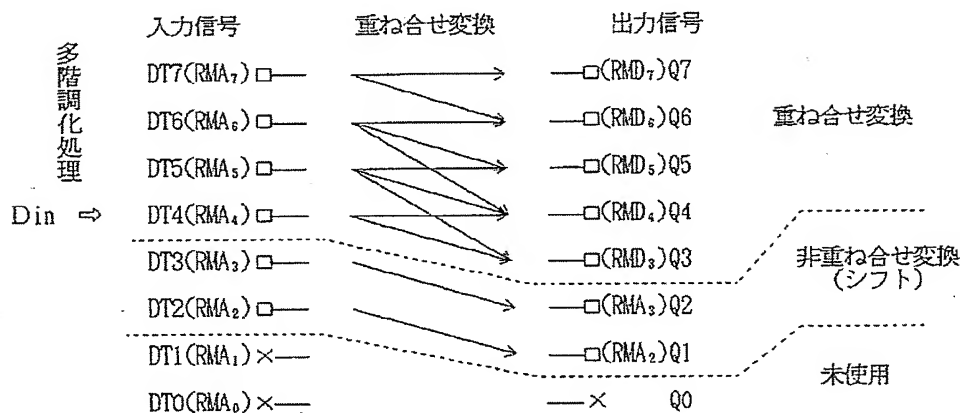
図12の回路例の制御信号生成回路



【図4】

【図27】

本発明の実施の形態における重ね合わせ変換の概略図



6 4階調のサブフレーム構成例

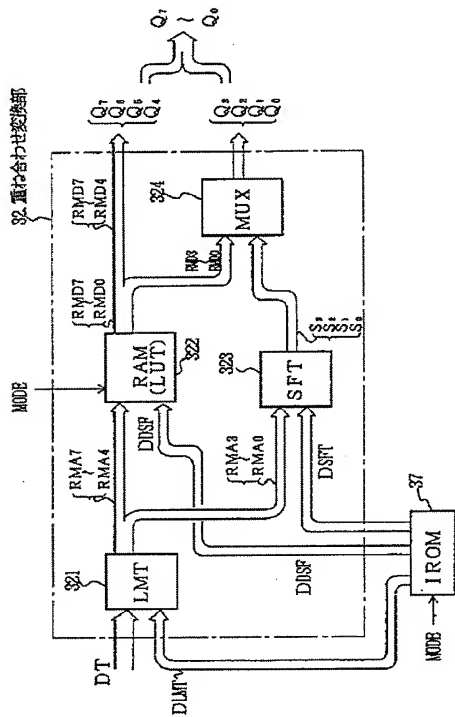
階調	点灯サブフレーム
1	SP1
2	SP2
3	SP1、SP2
4	SP3
5	SP3、SP1
.....	
30	SP2 ~ SP5
31	SP1 ~ SP5
32	SP6
.....	
63	SP1 ~ SP6

【図5】

【图8】

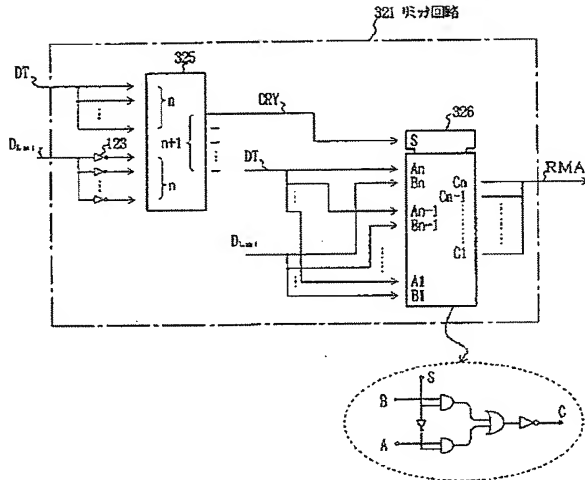
重ね合わせ変換部の内部構造図

リミット回路の動作を説明するためのチャート図

[illegible]

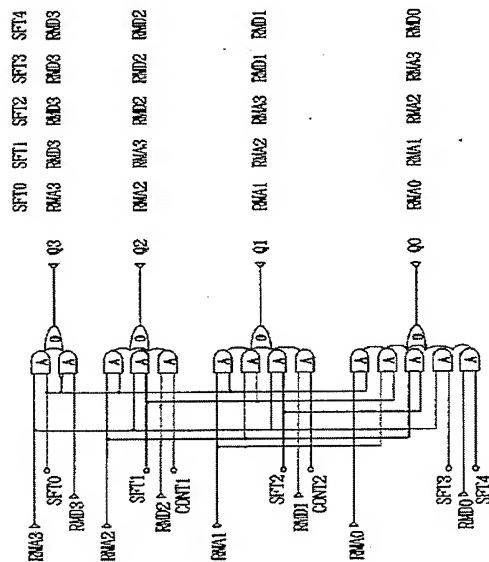
【図9】

リミット回路の具体的回路例



【図12】

シフト回路とマルチプレクサ回路の具体例



【図11】

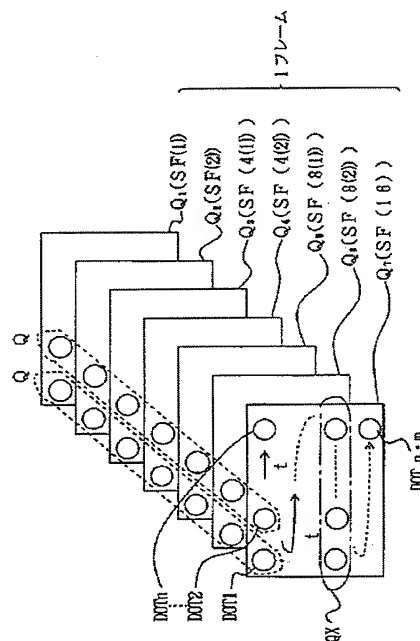
シフト回路とマルチプレクサ回路の出力とシフト数の関係表

D _{shift}	SPT出力				MUX出力			
	S3	S2	S1	S0	Q3	Q2	Q1	Q0
0	RMA3	RMA2	RMA1	RMA0	RMA3	RMA2	RMA1	RMA0
1	0	RMA3	RMA2	RMA1	RMD3	RMA3	RMA2	RMA1
2	0	0	RMA3	RMA2	RMD3	RMD2	RMA3	RMA2
3	0	0	0	RMA3	RMD3	RMD2	RMD1	RMA3
4	0	0	0	0	RMD3	RMD2	RMD1	RMD0

(0は Lレベル信号を表す)

【図14】

データ配列変換部の動作原理の説明図



【図15】

6ビットの多階調出力を7サブフレームに変換する別のテーブル例

サブフレーム点灯シーケンス

注記)表内の○記号は点灯サブフレームを表し、空欄は非点灯サブフレームを表している。

中間レベル	フレーム内サブフレームの番号及び点灯列						
	4	8	2	16	1	8	4
	(1)	(1)	(3)	(2)	(2)	(2)	(2)
0							
1							
2							
3							
4							
5							
6							
7							
8							
9							
10							
11							
12							
13							
14							
15							
16							
17							
18							
19							
20							
21							

(第2モード)

【図16】

複数モードの変換テーブルを使用する例

(a)					(b)					(c)				
A	B	A	B	A	A	A	B	B	A	A	B	C	D	A
B	A	B	A	B	A	A	B	B	A	B	C	D	A	B
A	B	A	B	A	B	B	A	A	B	C	D	A	B	C
B	A	B	A	B	B	B	A	A	B	D	A	B	C	D
A	B	A	B	A	A	A	B	B	A	A	B	C	D	A

【図17】

重ね合せ変換のビット関係を示す表

多階調信号	RAMアドレス	RAM出力	重ね合せ変換出力
4ビット (DT ₁₋₁)	4ビット (RAM ₁₋₄)	5ビット (RAM ₁₋₄)	5ビット (RAM ₁₋₄)
		6ビット (RAM ₁₋₄)	6ビット (RAM ₁₋₄)
		7ビット (RAM ₁₋₄)	7ビット (RAM ₁₋₄)
		8ビット (RAM ₁₋₄)	8ビット (RAM ₁₋₄)
5ビット (DT ₁₋₂)	4ビット (RAM ₁₋₄)	5ビット (RAM ₁₋₄)	5ビット (RAM ₁₋₄)
		6ビット (RAM ₁₋₄)	6ビット (RAM ₁₋₄)
		7ビット (RAM ₁₋₄)	7ビット (RAM ₁₋₄)
6ビット (DT ₁₋₃)	4ビット (RAM ₁₋₄)	5ビット (RAM ₁₋₄)	5ビット (RAM ₁₋₄)
		6ビット (RAM ₁₋₄)	6ビット (RAM ₁₋₄)
		7ビット (RAM ₁₋₄)	7ビット (RAM ₁₋₄)
7ビット (DT ₁₋₄)	4ビット (RAM ₁₋₄)	5ビット (RAM ₁₋₄)	5ビット (RAM ₁₋₄)

【図18】

6ビットの多階調出力を8サブフレームに変換するテーブル例 (1)

サブフレーム点灯シーケンス

注記)表内の○記号は点灯サブフレームを表し、空欄は非点灯サブフレームを表している。

中間レベル	フレーム内サブフレームの番号及び点灯列							
	8	16	2	8	4	1	16	8
	(1)	(1)	(3)	(3)	(2)	(2)	(2)	(2)
0								
1								
2								
3								
4								
5								
6								
7								
8								
9								
10								
11								
12								
13								
14								
15								
16								
17								
18								
19								
20								
21								
22								
23								
24								
25								
26								
27								
28								
29								
30								
31								

(第1モード)

【図19】

6ビットの多階調出力を8サブフレームに変換する
テーブル例 (2)

サブフレーム点灯シナシス
注記)表内の○記号は点灯サブフレームを表し、×記号は非点灯サブフレームを表している。

中間値 レベル	フレーム内サブフレーム の番号(1)配列	フレーム内サブフレーム の番号(2)配列
レベル	8 (1) 16 (1) 2 (3) 4 (3) 16 (2) 8 (2)	8 (1) 16 (1) 2 (3) 4 (3) 16 (2) 8 (2)
0		
1		
2		
3		
4		
5		
6		
7		
8		
9		
10		
11		
12		
13		
14		
15		
16		
17		
18		
19		
20		
21		
22		
23		
24		
25		
26		
27		
28		
29		
30		
31		

(第2モード)

【図21】

7ビットの多階調出力を8サブフレームに変換する
テーブル例 (2)

サブフレーム点灯シナシス
注記)表内の○記号は点灯サブフレームを表し、×記号は非点灯サブフレームを表している。

中間値 レベル	フレーム内サブフレーム の番号(1)配列	フレーム内サブフレーム の番号(2)配列
レベル	8 (1) 16 (1) 2 (3) 4 (3) 16 (2) 8 (2)	8 (1) 16 (1) 2 (3) 4 (3) 16 (2) 8 (2)
0		
1		
2		
3		
4		
5		
6		
7		
8		
9		
10		
11		
12		
13		
14		
15		
16		
17		
18		
19		
20		
21		
22		
23		
24		
25		
26		
27		
28		
29		
30		
31		
32		
33		
34		
35		

(第2モード)

【図20】

7ビットの多階調出力を8サブフレームに変換する
テーブル例 (1)

サブフレーム点灯シナシス
注記)表内の○記号は点灯サブフレームを表し、×記号は非点灯サブフレームを表している。

中間値 レベル	フレーム内サブフレーム の番号(1)配列	フレーム内サブフレーム の番号(2)配列
レベル	8 (1) 16 (1) 2 (3) 4 (3) 16 (2) 8 (2)	8 (1) 16 (1) 2 (3) 4 (3) 16 (2) 8 (2)
0		
1		
2		
3		
4		
5		
6		
7		
8		
9		
10		
11		
12		
13		
14		
15		
16		
17		
18		
19		
20		
21		
22		
23		
24		
25		
26		
27		
28		
29		
30		
31		
32		
33		
34		
35		

(第1モード)

【図22】

5ビットの多階調出力を6サブフレームに変換
するテーブル例 (1)

サブフレーム点灯シナシス
注記)表内の○記号は点灯サブフレームを表し、×記号は非点灯サブフレームを表している。

中間値 レベル	フレーム内サブフレーム の番号(1)配列	フレーム内サブフレーム の番号(2)配列
レベル	4 (1) 8 (1) 2 (2) 4 (2)	4 (1) 8 (1) 2 (2) 4 (2)
0		
1		
2		
3		
4		
5		
6		
7		
8		
9		
10		
11		
12		
13		
14		
15		
16		
17		
18		
19		
20		
21		
22		
23		
24		
25		
26		
27		

【図23】

5ビットの多階調出力を6サブフレームに変換する
テーブル例(2)

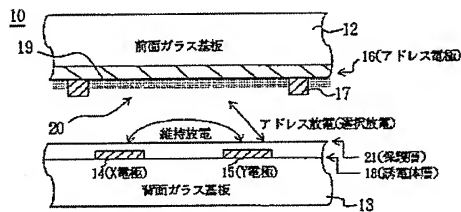
サブフレーム点灯シーケンス
注記)表内の○記号は点灯サブフレームを表し、
△記号は非点灯サブフレームを表している。

中間 レベル	フレーム内サブフレームの重み付け係数	7	8	2	1	8	4
		(1)	(1)			(2)	(2)
0							
1							
2							
3							
4							
5							
6							
7							
8	○						
9	○						
10	○						
11	○						
12	○						
13	○						
14	○						
15	○						
16		○					
17		○					
18		○					
19		○					
20		○					
21		○					
22		○					
23		○					
24		○					
25		○					
26		○					
27		○					

(第2モード)

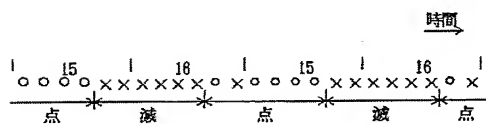
【図25】

従来のPDPの放電セルの断面構造



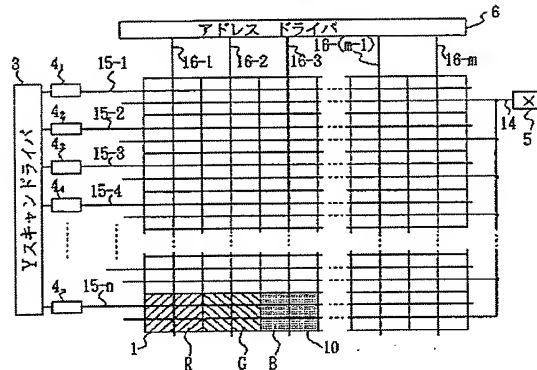
【図29】

従来例の説明図



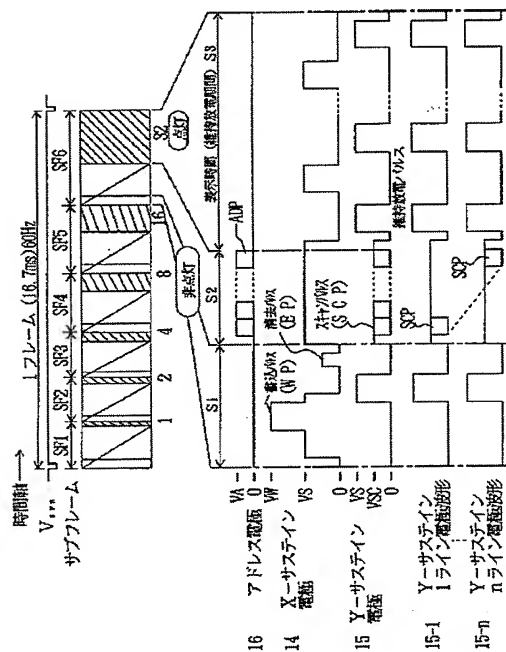
【図24】

従来のPDPの概略的構成図



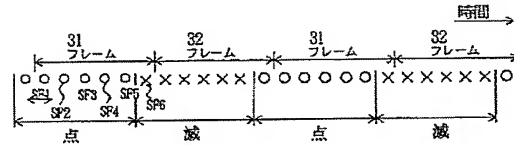
【図26】

PDP装置の各電極の駆動動作図



【図28】

従来例の説明図



【手続補正書】

【提出日】平成8年1月18日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図11

【補正方法】変更

【補正内容】

【図11】シフト回路とマルチプレクサ回路の出力とシフト数の関係図表である。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】図17

【補正方法】変更

【補正内容】

【図17】重ね合わせ変換のビット関係を示す図表である。

フロントページの続き

(72)発明者 上田 壽男

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 山本 晃

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 石田 勝啓

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内